

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re PATENT APPLICATION of :  
Taikan IINUMA :  
Serial No.: [NEW] : Mail Stop Patent Application  
Filed: January 21, 2004 : Attorney Docket No. OKI.603  
For: METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Japanese application:

Appln. No. 2003-337624 filed September 29, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: January 21, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    9 月 2 9 日  
Date of Application:

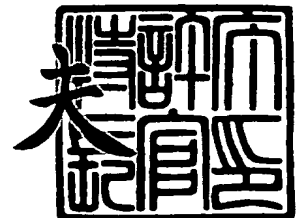
出 願 番 号                      特 願 2 0 0 3 - 3 3 7 6 2 4  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 3 7 6 2 4 ]

出      願      人                      沖電気工業株式会社  
Applicant(s):                      宮城沖電気株式会社

2 0 0 3 年 1 2 月    5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願  
【整理番号】 OH003871  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/76  
【発明者】  
    【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内  
    【氏名】 飯沼 大観  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【特許出願人】  
    【識別番号】 591048162  
    【氏名又は名称】 宮城沖電気株式会社  
【代理人】  
    【識別番号】 100085419  
    【弁理士】  
    【氏名又は名称】 大垣 孝  
【手数料の表示】  
    【予納台帳番号】 012715  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9001068

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板の主表面から該半導体基板の深さの中途にまで、素子分離部形成用の溝を形成する溝形成工程と、

該溝の底面上から該溝の側壁面上の中途位置までにわたって、第 1 熱酸化膜を湿式酸化によって形成する第 1 熱酸化膜形成工程と、

前記溝の側壁面の前記中途位置から前記溝外の前記半導体基板の主表面上までにわたって、第 2 熱酸化膜を乾式酸化によって形成する第 2 熱酸化膜形成工程とを含むことを特徴とする半導体装置の製造方法。

**【請求項 2】**

請求項 1 に記載の半導体装置の製造方法において、

前記溝形成工程は、

前記半導体基板の主表面上に、前記主表面のうち形成されるべき前記溝に対応する領域を露出させるマスクをパターンニング形成した後、該マスクを用いて前記半導体基板に対して第 1 エッチングを行って前記溝を形成し、

前記第 1 熱酸化膜形成工程は、

該溝の底面上から前記溝外の前記半導体基板の主表面の領域上にわたって、湿式酸化によってプレ第 1 熱酸化膜を形成する工程と、

該プレ第 1 熱酸化膜のうち前記溝の底面部分を覆う耐エッチング膜を形成する工程と、

該耐エッチング膜を用いて前記プレ第 1 熱酸化膜に対して第 2 エッチングを行って、前記半導体基板の主表面から前記中途位置までにわたる部分の前記プレ第 1 熱酸化膜を選択的に除去し、該除去により残存した前記プレ第 1 熱酸化膜の部分を、前記第 1 熱酸化膜とする工程と

を含み、

及び、前記第 2 熱酸化膜形成工程は、前記耐エッチング膜を酸化防止膜として残存させた状態で、前記溝の側壁面上の前記中途位置から前記溝外の前記半導体基板の主表面上までにわたって、前記第 2 熱酸化膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

**【請求項 3】**

請求項 2 に記載の半導体装置の製造方法において、

前記耐エッチング膜を、前記溝の底面上から前記溝外の前記主表面の領域上にわたって形成し、前記第 2 エッチングを行う前に、該主表面上の前記プレ第 1 熱酸化膜の表面を露出させるように、前記耐エッチング膜を研磨することを特徴とする半導体装置の製造方法。

**【請求項 4】**

請求項 1 ないし 3 のいずれか一項に記載の半導体装置の製造方法において、

前記溝外の前記半導体基板の主表面上の前記第 2 熱酸化膜上に、保護膜を形成する工程と、

前記溝内を充填しかつ前記保護膜を覆うように、絶縁膜を堆積させる工程と、

前記保護膜の表面を露出させるように、該絶縁膜を研磨する工程と、

前記保護膜を除去し前記溝内に残存する前記絶縁膜の部分を、素子分離部とする工程とを含むことを特徴とする半導体装置の製造方法。

**【請求項 5】**

請求項 1 ないし 4 のいずれか一項に記載の半導体装置の製造方法において、

前記湿式酸化での前記半導体基板の加熱温度  $T_w$  (°C) は、700 から 1000 °C の範囲内であり、及び乾式酸化での前記半導体基板の加熱温度  $T_d$  (°C) は、800 から 1200 °C の範囲内であり、

かつ、前記湿式酸化及び前記乾式酸化を、 $T_w$  (°C)  $\leq T_d$  (°C) を満足させる条件で行うことを特徴とする半導体装置の製造方法。

**【請求項 6】**

請求項 2 ないし 5 のいずれか一項に記載の半導体装置の製造方法において、  
前記第 2 エッチングを、フッ化水素酸を含有するエッチング液を用いて行うことを特徴  
とする半導体装置の製造方法。

**【書類名】明細書****【発明の名称】半導体装置の製造方法****【技術分野】****【0001】**

この発明は、半導体装置の製造方法に関し、特に、素子分離部を具える半導体装置の製造方法に関する。

**【背景技術】****【0002】**

半導体装置の素子間を絶縁分離する素子分離技術として、トレンチ構造を利用した S T I (Shallow Trench Isolation) 法がある。

**【0003】**

S T I 法とは、半導体基板に形成された溝（トレンチ）に絶縁膜を埋め込んで素子分離部を形成して、素子間を絶縁分離する方法である。

**【0004】**

この S T I 法によれば、これまでの熱酸化を利用した L O C O S (Local Oxidation Of Silicon) 法に比べて分離幅を縮小できる。

**【0005】**

そのため、S T I 法は、近年の半導体装置の小型化に伴う、素子分離部の微細加工技術として注目されている（例えば、特許文献 1 参照）。

**【特許文献 1】** 特開 2001-210709 号公報

**【発明の開示】****【発明が解決しようとする課題】****【0006】**

S T I 法では、半導体基板に形成したトレンチに素子分離用の絶縁物を埋め込む前に、当該トレンチの底面及び側壁面である内面に、熱酸化による熱酸化膜を形成する。トレンチを形成するためのエッチングによって当該トレンチの内壁に生じた欠陥等による、素子へのダメージを取り除くためである。

**【0007】**

ところが、これまで、熱酸化膜を形成するに当たっては、以下に述べる問題点があった。

**【0008】**

熱酸化膜を、基板を 950℃ 程度で加熱して行う湿式酸化（ウェット酸化とも称する。）で形成した場合には、トレンチの上端の縁部の熱酸化膜が薄膜化して鋭角状（あるいは、尖形状）になる。半導体基板材料が酸化膜に体積膨張する際に、トレンチの上端の縁部に膜ストレスが発生し、当該縁部での酸化速度が低下するためである。

**【0009】**

その結果、トレンチの上端の縁部に電界集中が起こり、ゲート酸化膜の信頼性の低下に伴うトランジスタの電気的特性の劣化が引き起こされていた。

**【0010】**

一方、熱酸化膜を、基板を 1100℃ 程度で加熱して行う乾式酸化（ドライ酸化とも称する。）で形成した場合には、上述した熱酸化膜の薄膜化の問題は克服されるが、主としてトレンチの底の縁部に（111）面の結晶面（F a c e t：ファセット）が発生してしまう。

**【0011】**

ファセットの発生によってトレンチの底の縁部にストレスが集中するため、クラック等の結晶欠陥が発生する。その結果、トランジスタの接合リーク電流が発生し易くなり、トランジスタの電気的特性の劣化が引き起こされていた。

**【0012】**

そこで、この発明の主目的は、上述した熱酸化膜の種々の問題を克服し、従来よりも高信頼性な半導体装置の製造方法を提供することにある。

**【課題を解決するための手段】****【0013】**

この目的の達成を図るため、この発明の半導体装置の製造方法の発明は、下記のような構成上の特徴を有する。

**【0014】**

すなわち、この発明の半導体装置の製造方法は、溝形成工程と、第1熱酸化膜形成工程、及び第2熱酸化膜形成工程を含んでいる。

**【0015】**

溝形成工程では、半導体基板の主表面に、素子分離部形成用の溝を形成する。第1熱酸化膜形成工程では、この溝の底面上から溝の側壁面上のうちの当該側壁面上の下端の高さから所定高さ低い位置までにわたって、第1熱酸化膜を湿式酸化によって形成する。第2熱酸化膜形成工程では、この溝の側壁面上のうちの当該位置以上の高さから基板の主表面上までにわたって、第2熱酸化膜を乾式酸化によって形成する。

**【発明の効果】****【0016】**

この構成によれば、ウェット酸化によって溝、すなわちトレンチの底の縁部に第1熱酸化膜を形成し、ドライ酸化によってトレンチの上端の縁部に第2熱酸化膜を形成することができる。

**【0017】**

その結果、トレンチの底の縁部の熱酸化膜に発生するファセット、及びトレンチの上端の縁部の熱酸化膜の薄膜化を、同時に克服することができる。

**【0018】**

すなわち、各縁部に対する熱酸化膜の形成を、それぞれの縁部に適した熱酸化条件で個別に行うことにより、これまでの熱酸化膜に関する上述した種々の問題が克服された、従来よりも高信頼性な半導体装置を得ることができる。

**【発明を実施するための最良の形態】****【0019】**

以下、図1～図4を参照して、この発明の実施の形態につき説明する。尚、各図は、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係を概略的に示してあるに過ぎず、従って、この発明は図示例に限定されるものではない。また、図を分かり易くするために、断面を示すハッチングは、一部分を除き省略してある。尚、以下の説明は、単なる好適例に過ぎず、また、例示した数値的条件は何らこれに限定されない。また、各図において同様の構成成分については同一の番号を付して示し、その重複する説明を省略することもある。

**【0020】**

この発明の半導体装置の製造方法について、以下に説明する。

**【0021】**

先ず、素子分離部形成用の溝、すなわちトレンチの形成を、以下の手順で行う。

**【0022】**

半導体基板としてのシリコン(Si)基板10を用意する。このシリコン基板10には、複数の素子形成領域(アクティブ領域とも称する。)50と、これら素子形成領域を互いに分離して隔てる素子分離部形成領域(フィールド領域とも称する。)55とが指定されている。このシリコン基板10の主表面10a上に、パッド酸化膜12及びシリコン窒化膜(SiN)14を順次形成する(図1(A))。パッド酸化膜12は、素子形成領域50におけるシリコン基板10への不純物の混入を防いだり、シリコン窒化膜14とシリコン基板10との間の応力を緩和させるはたらきをする。ここでのパッド酸化膜12を、基板を850℃程度で加熱して行うウェット酸化により、膜厚1.5nmのシリコン酸化膜(SiO<sub>2</sub>)で形成する。また、シリコン窒化膜14を、ジクロロシラン(SiH<sub>2</sub>Cl<sub>2</sub>)ガスを主体(主成分)ガスとするLP-CVD(Low Pressure-Chemical Vapor Deposition)法を用いて、150nmの膜厚に形成

する。

#### 【0023】

また、ウェット酸化とは、半導体基板の表面を水蒸気及び酸素を含む雰囲気中で加熱して、半導体基板表面に熱酸化膜を形成する熱酸化方法をいう。ここでのウェット酸化には、例えば、一般的なパイロジェニック酸化（水素ガス燃焼酸化とも称する。）を利用することができる。パイロジェニック酸化とは、水素（ $H_2$ ）ガスと酸素（ $O_2$ ）ガスを高温で燃焼して生成した水蒸気を、熱酸化に利用する方法である。尚、この実施の形態における他のウェット酸化においても、パイロジェニック酸化やスチーム酸化等を任意好適に選択して行うものとする。

#### 【0024】

次に、シリコン窒化膜14上にレジスト膜を形成した後（不図示）、パッド酸化膜12及びシリコン窒化膜14に対してホトリソ・エッチングを行って、トレンチ形成領域のシリコン基板の主表面10aを露出させる開口15をパターンニング形成する（図1（B））。

#### 【0025】

次に、開口15が形成されたパッド酸化膜12及びシリコン窒化膜14をトレンチ形成用マスク13として用いてシリコン基板10に対して第1エッチングを行い、シリコン基板の主表面10aにトレンチ16を形成する（図1（C））。

#### 【0026】

ここでは、第1エッチングとして、例えば、塩素（ $Cl_2$ ）を主体（主成分）ガスを用いて、RIE（Reactive Ion Etching）を行い、このシリコン基板にその主表面10aから200から400nm程度の深さの凹部であるトレンチ16を形成する。このトレンチ16の底面16aは、シリコン基板10の厚み方向の中途の深さに、好ましくは、シリコン基板の主表面10aと平行に形成されている。その後、シリコン窒化膜14を、熱リン酸（ $H_3PO_4$ ）を用いたウェットエッチングによって除去する（図1（D））。

#### 【0027】

続いて、第1熱酸化膜の形成を、以下の手順で行う。

#### 【0028】

先ず、トレンチ16の底面16aからシリコン基板10のトレンチ16の外側の主表面10aの領域上にわたって、プレ第1熱酸化膜であるシリコン酸化膜18を、低温ウェット酸化で形成する（図2（A））。低温ウェット酸化とは、一般的に、基板の加熱温度 $T_w$ を700から1000℃の範囲内で行うウェット酸化をいうが、この構成例では、基板の加熱温度 $T_w$ を、800から950℃の範囲内で行うのが好ましい。

#### 【0029】

ここでは、トレンチ付きシリコン基板10を950℃程度に加熱して行う低温ウェット酸化により、トレンチ16の内面16c及びパッド酸化膜12を覆うプレ第1熱酸化膜18を、20から40nmの範囲内の膜厚で形成する。

#### 【0030】

このようにして、低温ウェット酸化によってプレ第1熱酸化膜18を形成することにより、トレンチの底の縁部165にファセットが殆ど発生していない。尚、ここでのトレンチの底の縁部165とは、トレンチの底面16aと側壁面16bとによって形成された稜線及びその近傍を含む領域、すなわち角の領域をいう。

#### 【0031】

その後、プレ第1熱酸化膜18上に、後工程で耐エッチング膜として機能するシリコン窒化膜20を、ジクロロシランガスを主体（主成分）ガスとするLPCVD法を用いて、20から40nmの範囲内の膜厚で形成する（図2（B））。

#### 【0032】

その後、シリコン基板10のトレンチ16の外側の主表面10a上に形成されているシリコン窒化膜20部分を除去する。このシリコン窒化膜の除去は、プレ第1熱酸化膜18



の表面を露出させるように、化学的機械研磨（CMP：Chemical Mechanical Polishing）法を用いて研磨して行う（図2（C））。

【0033】

この研磨によって、後工程において、シリコン基板10の表面のうち、主表面10aから側壁面16bの所定位置P（説明後述）までにわたる部分を露出させる第2エッチングを行うに当たり、その妨げとなる部分のシリコン窒化膜20を除去することができる。

【0034】

その後、残存しているシリコン窒化膜20を耐エッチングマスク、すなわちマスクとして用いて、シリコン酸化膜に対して第2エッチングを行う。この第2エッチングによって、シリコン基板10の表面のうち、主表面10aからトレンチの側壁面16bの中途位置Pまでにわたる部分を露出させる（図2（D））。この中途位置Pは、トレンチの側壁面の上端から所定高さだけ低い高さ位置とする。

【0035】

ここでは、第2エッチングとして、シリコン窒化膜20及びシリコン基板10よりもシリコン酸化膜に対するエッチングレートが大きいエッチング液によるウェットエッチングを行い、シリコン酸化膜を選択的に除去する。エッチング液には、例えば、フッ化水素（HF）水溶液（フッ化水素酸）を含有する液を用いることができる。

【0036】

このようにして、アクティブ領域50における、シリコン基板上のパッド酸化膜12及びプレ第1熱酸化膜18、ならびにトレンチの側壁面16b上の上端位置Pよりも高い位置に形成されたプレ第1熱酸化膜を除去する。

【0037】

ここでは、トレンチの側壁面16b上のプレ第1熱酸化膜18を、CMP後のプレ第1熱酸化膜の表面18a（図2（C）参照）から主表面10aに対し鉛直方向に、100から200nmの範囲内の深さに掘り下げて、トレンチの上端の縁部167を露出させる。尚、ここでのトレンチの上端の縁部167とは、トレンチの側壁面16bと基板の主表面10aとによって形成された稜線及びその近傍を含む領域、すなわち角領域をいう。

【0038】

このようにして、トレンチの底面16a及びトレンチの底面の縁部165上を覆う一方で、トレンチの上端の縁部167を露出させる、第1熱酸化膜181をプレ第1熱酸化膜の残部で形成することができる。

【0039】

続いて、第2熱酸化膜の形成を、以下の手順で行う。

【0040】

まず、第2エッチングによって露出された、トレンチの側壁面16b上の上述の中途位置Pから基板の主表面10a上にまでにわたって、第2熱酸化膜であるシリコン酸化膜22を、高温ドライ酸化で形成する（図3（A））。

【0041】

ドライ酸化とは、半導体基板を乾燥酸素雰囲気中で加熱して、半導体基板表面を熱酸化させる方法をいう。また、高温ドライ酸化とは、一般的に、基板の加熱温度 $T_d$ （℃）を800から1200℃の範囲内で行うドライ酸化をいい、ここでは、基板の加熱温度 $T_d$ （℃）を、1000℃以上で行うのが好ましい。

【0042】

そこで、基板の加熱温度を1100℃程度として高温ドライ酸化を行い、トレンチの側壁面16b上の位置Pから基板の主表面10a上にわたって、第2熱酸化膜22を20から40nmの膜厚で形成する。このとき、第1熱酸化膜181上に残存している耐エッチング膜20は、第1熱酸化膜181上に第2熱酸化膜22が形成されるのを防止する酸化防止膜として機能するため、第2熱酸化膜の形成後も、トレンチの底の縁部165にはファセットは殆ど発生していない。

【0043】

このようにして、高温ドライ酸化によって、トレンチの側壁面 16 b 上の位置 P から基板の主表面 10 a 上にわたって実質的に均一な膜厚を有する第 2 熱酸化膜 22 を形成することにより、トレンチ上端の縁部 16 7 の熱酸化膜が薄膜化するのを抑制することができる。

【0044】

続いて、第 2 熱酸化膜 22 上に、保護膜としてのシリコン窒化膜 24 を、ジクロロシランガスを主体（主成分）ガスとする L P - C V D 法を用いて、20 から 40 nm の範囲内の膜厚で形成する（図 3（B））。ここでは、通常、アクティブ領域 50 にシリコン窒化膜を形成する際に必要なパッド酸化膜の形成を、第 2 熱酸化膜 22 の形成によって兼用することができる。

【0045】

続いて、シリコン窒化膜 24 上に、素子分離部形成領域 55 のシリコン窒化膜の表面を露出させるマスクをホトリソ・エッチングによってパターンニング形成する（不図示）。その後、露出された部分のシリコン窒化膜 24 を、熱リン酸を用いたウェットエッチングによって除去する（図 3（C））。

【0046】

続いて、例えば、HDP - CVD（High Density Plasma - CVD）法によって、トレンチ 16 内を充填しかつシリコン窒化膜 24 が覆われるように、絶縁膜 26 を膜厚 550 から 700 nm の範囲内で堆積させる（図 3（D））。

【0047】

続いて、ストッパ膜であるシリコン窒化膜 24 の表面が露出されるように、CMP 法を用いてシリコン酸化膜 26 を研磨した後（図 4（A））、熱リン酸を用いたウェットエッチングによってシリコン窒化膜 24 を除去することにより素子分離部 60 を形成する（図 4（B））。この素子分離部 60 は、トレンチ内に残存している絶縁膜の部分で形成される。

【0048】

上述した説明から明らかなように、この実施の形態によれば、ウェット酸化によってトレンチの底の縁部に第 1 熱酸化膜を形成し、ドライ酸化によってトレンチの上端の縁部に第 2 熱酸化膜を形成することができる。

【0049】

その結果、トレンチの底の縁部の熱酸化膜に発生するファセット、及びトレンチの上端の縁部の熱酸化膜の薄膜化を、同時に克服することができる。

【0050】

すなわち、各縁部に対する熱酸化膜の形成を、それぞれの縁部に適した熱酸化条件で個別に行うことにより、トレンチの上端の縁部の電界集中や接合リーク電流が抑制された、従来よりも高信頼性な半導体装置を得ることができる。

【0051】

尚、この発明は、上述した実施の形態のみに限定されず、種々の条件を任意好適に組み合わせこの発明に適用することができる。

【図面の簡単な説明】

【0052】

【図 1】この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その 1）である。

【図 2】この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その 2）である。

【図 3】この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その 3）である。

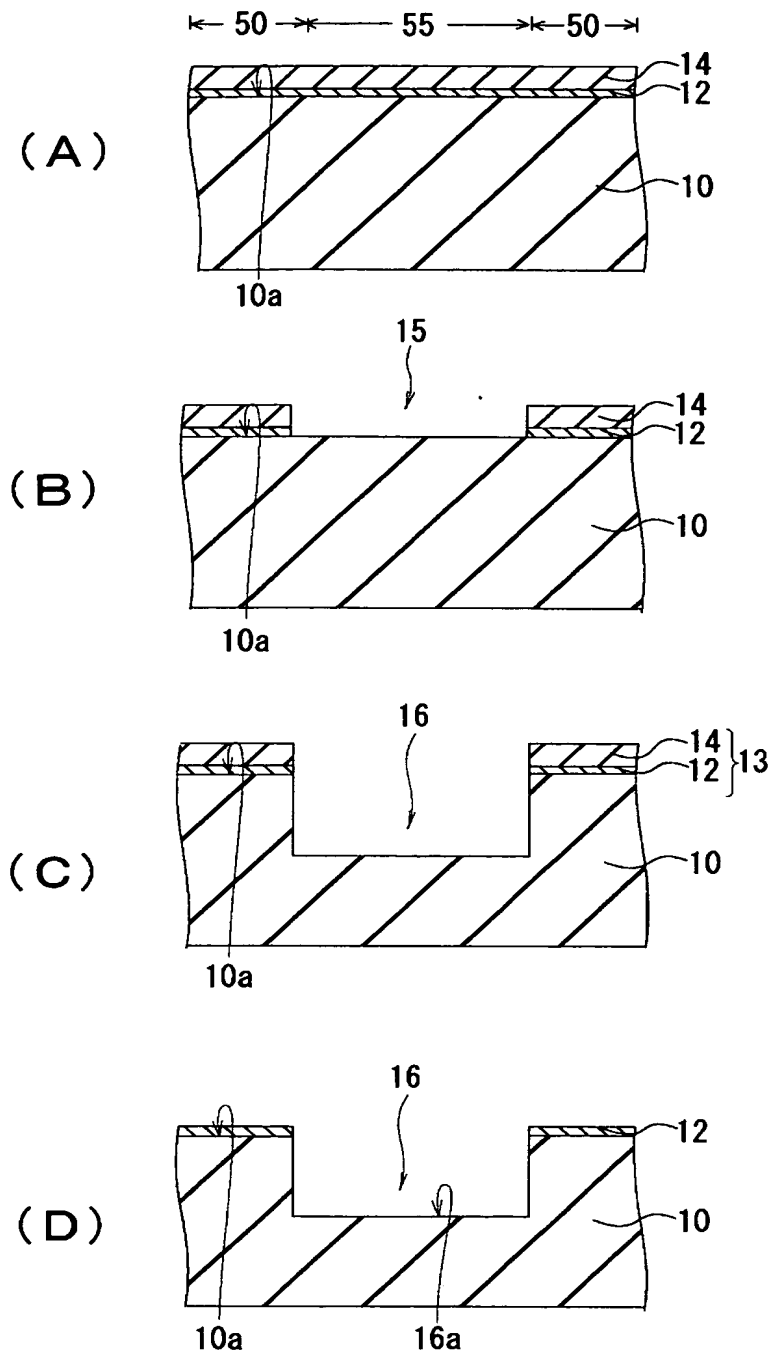
【図 4】この発明の実施の形態の半導体装置の製造工程の説明に供する概略断面図（その 4）である。

【符号の説明】

## 【 0 0 5 3 】

- 1 0 : シリコン基板 (半導体基板)
- 1 0 a : シリコン基板の主表面 (基板の主表面)
- 1 2 : シリコン酸化膜 (パッド酸化膜)
- 1 3 : トレンチ形成用マスク
- 1 4 : シリコン窒化膜
- 1 5 : 開口
- 1 6 : トレンチ (溝)
- 1 6 a : トレンチの底面
- 1 6 b : トレンチの側壁面
- 1 6 c : トレンチの内面
- 1 8 : プレ第 1 熱酸化膜
- 1 8 a : プレ第 1 熱酸化膜の表面
- 2 0 : シリコン窒化膜 (耐エッチング膜及び酸化防止膜)
- 2 2 : シリコン酸化膜 (第 2 熱酸化膜)
- 2 4 : シリコン窒化膜 (保護膜)
- 2 6 : シリコン酸化膜 (絶縁膜)
- 5 0 : 素子形成領域 (アクティブ領域)
- 5 5 : 素子分離部形成領域 (フィールド領域)
- 6 0 : 素子分離部
- 1 6 5 : トレンチの底の縁部
- 1 6 7 : トレンチの上端の縁部
- 1 8 1 : シリコン酸化膜 (第 1 熱酸化膜)

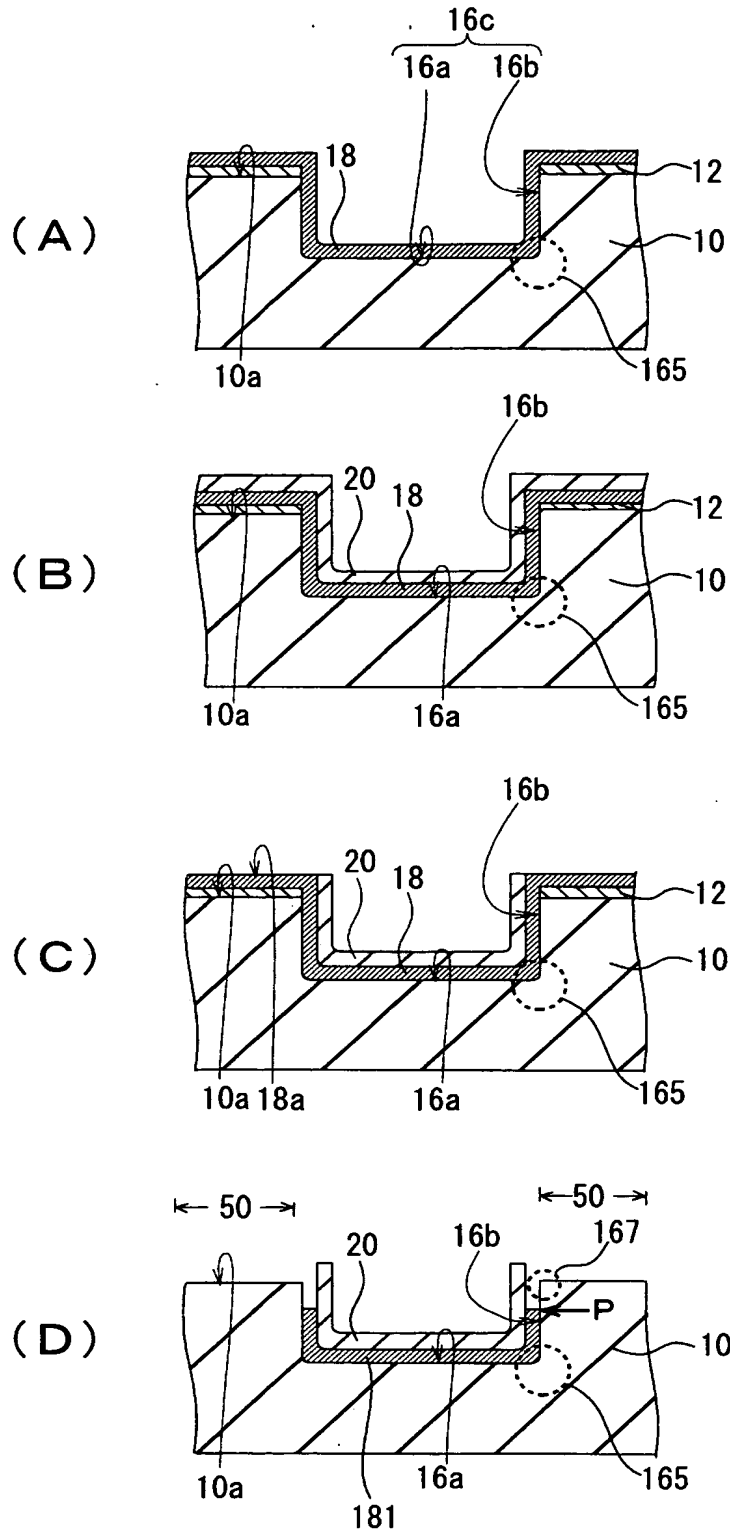
【書類名】 図面  
【図 1】



- |                      |                         |
|----------------------|-------------------------|
| 10: シリコン基板 (半導体基板)   | 10a: シリコン基板の主表面         |
| 12: シリコン酸化膜 (パッド酸化膜) | 13: トレンチ形成用マスク          |
| 14: シリコン窒化膜          | 15: 開口                  |
| 50: 素子形成領域 (アクティブ領域) | 16: トレンチ (溝)            |
|                      | 55: 素子分離部形成領域 (フィールド領域) |

この発明の実施の形態の半導体装置の製造工程図 (その1)

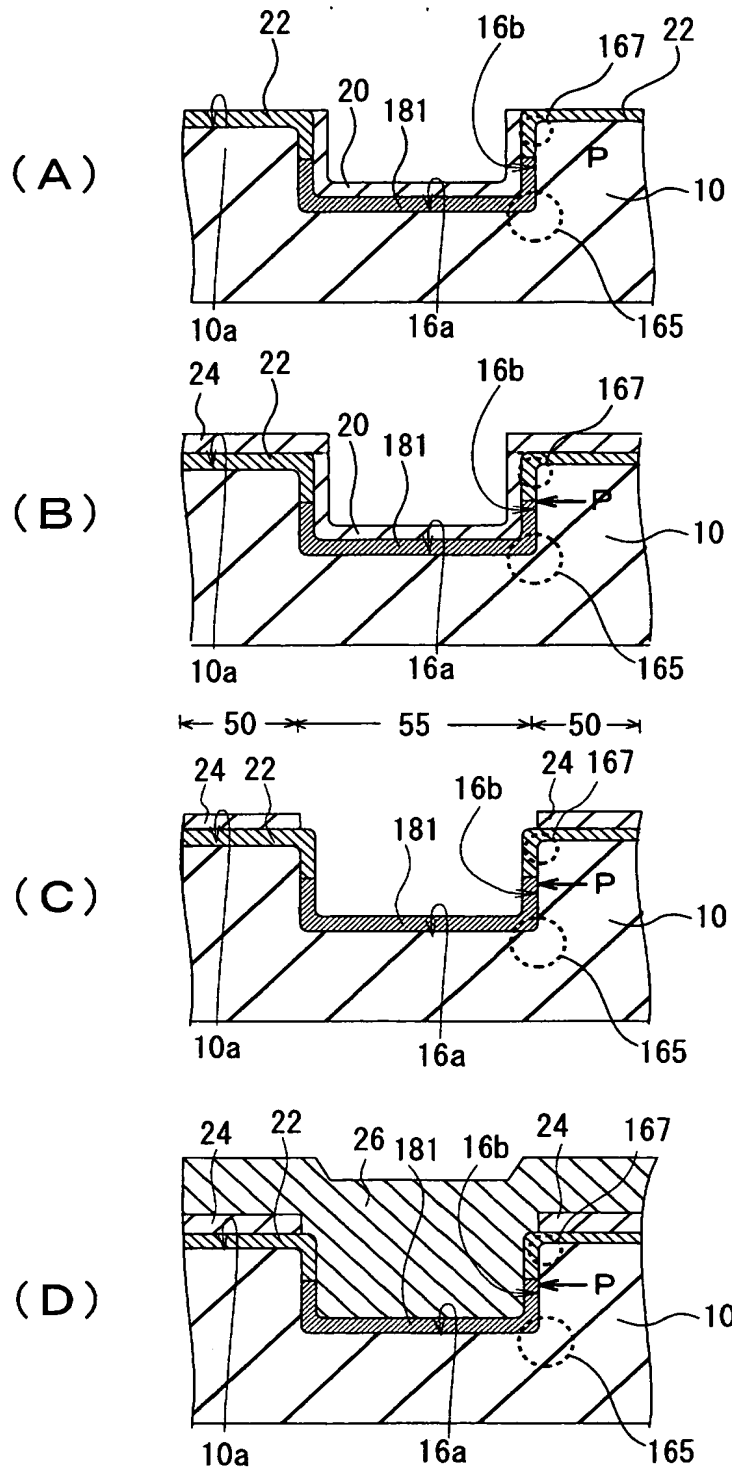
【図 2】



16a: トレンチの底面    16b: トレンチの側壁面    16c: トレンチの内面  
18: プレ第1熱酸化膜    18a: プレ第1熱酸化膜の表面  
20: シリコン窒化膜    165: トレンチの底の縁部    167: トレンチの上端の縁部  
181: シリコン酸化膜 (第1熱酸化膜)

この発明の実施の形態の半導体装置の製造工程図（その2）

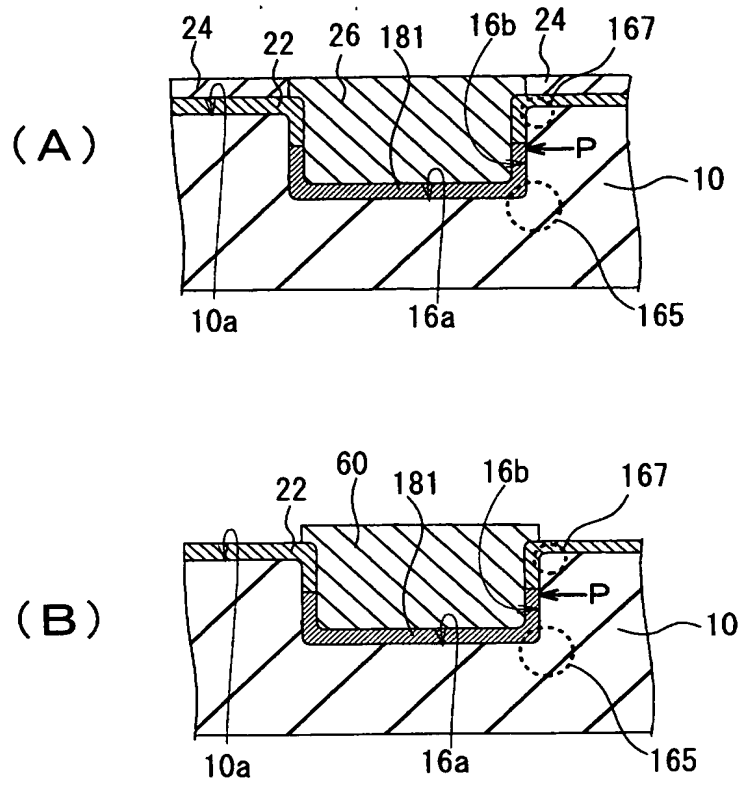
【図 3】



22:シリコン酸化膜 (第2熱酸化膜)    24:シリコン窒化膜 (保護膜)  
 26:シリコン酸化膜 (絶縁膜)

この発明の実施の形態の半導体装置の製造工程図 (その3)

【図 4】



60: 素子分離部

この発明の実施の形態の半導体装置の製造工程図 (その4)

【書類名】 要約書

【要約】

【課題】 トレンチの上端の縁部の電界集中や底の縁部の接合リーク電流を抑制し、半導体装置の信頼性を高める。

【解決手段】 シリコン基板 1 0 の主表面 1 0 a に形成したトレンチ 1 6 の底面 1 6 a 上からトレンチの側壁面 1 6 b 上の中途位置 P までにわたって、シリコン基板の加熱温度を 9 5 0 ℃程度とする低温ウェット酸化を行って第 1 熱酸化膜 1 8 1 を形成した後、当該中途位置 P からトレンチ外のシリコン基板の主表面上までにわたって、シリコン基板の加熱温度を 1 1 0 0 ℃程度とする高温ドライ酸化を行って第 2 熱酸化膜 2 2 を形成する。

【選択図】 図 3



認定・付加情報

|         |                          |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 3 3 7 6 2 4 |
| 受付番号    | 5 0 3 0 1 6 0 6 6 8 9    |
| 書類名     | 特許願                      |
| 担当官     | 第五担当上席 0 0 9 4           |
| 作成日     | 平成 1 5 年 9 月 3 0 日       |

< 認定情報・付加情報 >

|       |                    |
|-------|--------------------|
| 【提出日】 | 平成 1 5 年 9 月 2 9 日 |
|-------|--------------------|

特願 2 0 0 3 - 3 3 7 6 2 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門 1 丁目 7 番 1 2 号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 3 7 6 2 4

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 8 1 6 2 ]

1. 変更年月日

1 9 9 1 年 3 月 1 1 日

[変更理由]

新規登録

住 所

宮城県黒川郡大衡村沖の平 1 番地

氏 名

宮城沖電気株式会社

2. 変更年月日

2 0 0 2 年 7 月 4 日

[変更理由]

住所変更

住 所

宮城県黒川郡大衡村沖の平 1 番

氏 名

宮城沖電気株式会社